

# Yeni Nesil FPGA'lar, Tasarım ve Doğrulama Konularında Yeni Zorluklar Getiriyor

## UltraScale / UltraScale+

Ultrascale mimarisi; monolitikten 3D IC'lere kadar ölçeklendirme işlemlerine ilaveten, 20 nm planar'dan 16 nm FinFet teknolojilerine ve ötesine kadar ölçeklendirme yapabilen ve tüm programlanabilir mimarilerde kullanılabilen, sanayinin en modern ASIC mimari iyileştirme programlarını içeren ilk uygulamasıdır. Ultrascale mimarisinin getirdiği bazı yenilikler aşağıda sıralanmaktadır:

- ASIC benzeri sistem saatlerinin, stratejik yerleşimi. (Sanal olarak tümdevrenin herhangi bir yerine)
- Çok büyük ölçekte paralel veri yolu mimarisine sahip sistemlerde gecikmelere yol açan ardışık dizilmeyi (pipelining) fiilen gereksiz kılarak, sistem hızı ve kapasitesini arttırması.
- Zamanlamaya ilişkin olası problemler (timing-closure problems) ile bağlantı darboğazları, %90 veya daha fazla kaynak kullanımı olan sistemlerde bile ortadan kaldırılabılır.
- 3D IC entegrasyonu, mevcut sanayi standartlarının ötesinde yarı-iletken teknoloji proseslerini kullanarak daha büyük cihazların yapılmasına imkân tanır.
- Çoklu-gigabit seri alıcı vericiler, I/O ve bellek bant genişliği dâhil olmak üzere, yüksek sistem performansını, düşük güç ihtiyaçlı sistemler için bile sunar.

- Son derece gelişmiş DSP ve paket yönetimi.

## Zynq® UltraScale+ MPSoC'ler

Bir sonraki nesil çoklu işlemci mimarilerini teşkil eden "çip üzerinde heterojen çoklu işlemci sistemler" (multiprocessor systems on-chip / MPSoC), artan performans ve ölçeklenebilirlik ihtiyaçlarını etkili bir şekilde karşılayabilirler. Nitekim heterojen işlemcileri aynı mimari dâhilinde birleştirmek, sistemde farklı tür işlemcilerin kullanılmasına imkân tanıyarak, sistemin genel performansını ve verimini arttırır.

Zynq® UltraScale+ MPSoC'ler, ARM® v8'e dayalı Cortex®-A53 yüksek performans ve enerji tasarruflu 64-bit uygulamalı işlemciyi, ARM Cortex-R5 gerçek zamanlı işlemci ve UltraScale mimarisi ile birleştirerek sanayinin ilk tamamen programlanabilir MPSoC'lerini oluşturdu. Bir sonraki nesil programlanabilir mimarileri, emniyeti, gü-

venliği, güvenilirliği ve 32 bitten 64 bite ölçeklenebilirliği ile Zynq UltraScale+ MPSoC'ler, heterojen işlemcilere ihtiyaç duyan uygulamalar için; ideal güç tasarrufu, işlem gücü, programlanabilir hız, I/O ve bellek bant genişliği sunar. Bu ilerlemelere paralel olarak, tüm yenilikçi ürünlerde olduğu gibi, projeleri üzerinde çalışırken birçok zorlukla baş eden FPGA tasarımcıları için yeni sorunlar da ortaya çıkmıştır.

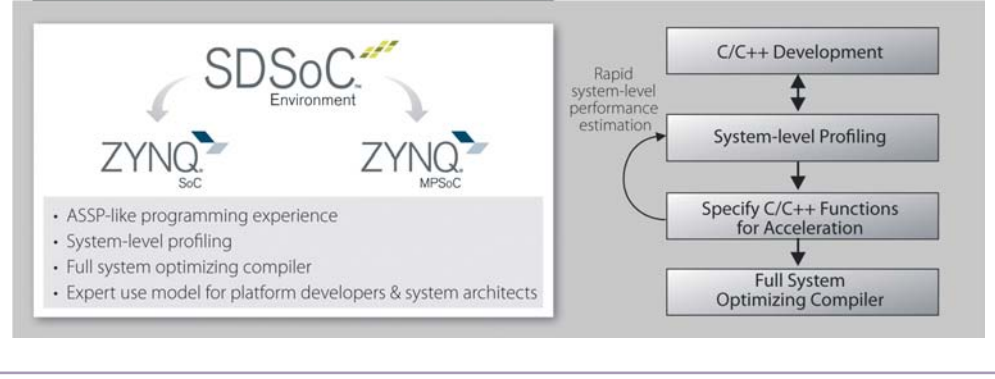
## Güç ve Güvenilirlik ile İlgili Sorunlar

Yüksek performans ve düşük güç gerektiren FPGA'lar, tamamen isteğe göre uyarlanmış bir tasarım metodolojisi ile entegrasyon, modelleme, güç tahmini ve güvenilirlik için güç analiz araçlarına ihtiyaç duyar. ASIC'lerin aksine, FPGA'ların güç tüketimi büyük ölçüde tasarıma bağlıdır. Bunun nedeni ise, istenilen fonksiyonelliğin elde edilebilmesi açısından, güç tüketiminin mantıksal devre kaynaklarının kullanı-

FPGA tasarım boyutları günümüzde daha önce benzeri görülmemiş düzeylere ulaşmış ve bir milyon kapı elemanından oluşan FPGA'lar giderek yaygınlaşmıştır. FPGA'lar, en gelişmiş üretim teknolojilerinin kullanımını konusunda yarı-iletken sektörüne öncülük etmektedir.

mına, belirli uygulamaya özgü donanım yapılarına ve bu donanımların FPGA içerisinde yerleşimine bağlıdır. Günümüzde I/O'nun performans ölçüsü sadece numune veri hızına (Gb/saniye) değil, aynı zamanda veri birimi başına güç tüketimine de bağlıdır (mW/Gb). FPGA'ların genellikle yüksek düzeyde veri işlendiği uygulamalar çerçevesinde kullanılmaları sebebiyle Xilinx, güç kullanımını azaltmak amacıyla yarı-iletken teknolojisi, düşük güç gerilimi, daha fazla IP entegrasyonu ve çeşitli devre tasarım teknikleri üzerinde sürekli yeni çalışmalar yürütmektedir. Ancak yüksek performanslı FPGA'lar ile ilgili ilerlemeler, güç analizi yöntemleri ve metodolojileri açısından ciddi sorunlar teşkil etmektedir.

## The SDSoC Development Environment



### Zamanlama Sorunları

Gelişmiş FPGA'larda görülen zamanlama (timing closure) sorunu, kapı gecikmelerine oranla hat gecikmelerinin artmasından kaynaklanır. Tasarım boyutu ve bağlantı sorunları, tasarımların tamamlanması açısından verimsiz bir yinleme metodolojisine yol açmıştır.

Geleneksel FPGA tasarım metodolojisini kullanarak, RTL sentezlendikten sonra yerleştirme ve yönlendirme adımlarından geçirmektedir. Zamanlama, sadece süreç akışının sonunda kontrol edilir. Eğer tasarım zamanlama açısından başarısız olursa, RTL ve/veya sınırlamalar üzerinde değişiklikler yapıp akış süreci tekrarlanır. RTL üzerinde yapılan bazı değişiklikler tüm tasarımı etkileyecek sonuçlar yaratabilir, sentez, yerleştirme ve yönlendirmanın tümünden yeniden uygulanmasına yol açabilir. Bu tekrarlayan döngünün istenen sonuca ulaşması bazen aylar sürebilir.

### FPGA Doğrulaması

Cihazlar gelişip daha da karmaşıklaşarak bütünleşmiş sistemlere benzemeye başladıkça, bu karmaşık sistemlerin doğrulama işlemi giderek daha da zor ve göz korkutucu bir işleme dönüşür.

Günümüzde FPGA'lar, ASIC'lerin sadece birkaç yıl önceki boyutlarına ulaşmıştır ve dolayısıyla FPGA'ların sadece eski yöntemler kullanılarak laboratuvarlarda test edilmesi yetersiz bir yaklaşımdır. Modern FPGA tasarımlarını fonksiyonel olarak doğrulamak için UVM (Universal Verification Methodology / Evrensel

Doğrulama Metodolojisi) veya ABV (Assertion Based Verification / Onaylamaya Dayalı Doğrulama) gibi modern doğrulama metodolojileri gereklidir.

### Yeni Tasarım Zorlukları, Yeni Tasarım Yöntemleri Gerektirir

Geleneksel FPGA araçları, çoğu tasarımcının ihtiyaçlarını karşılamak açısından gayet uygundur. Ancak günümüzün en gelişmiş FPGA'larını hedef alan karmaşık tasarımlar için, yeni tasarım araçları daha etkili tasarım hedeflerinin ulaşılmasına yardımcı olacaktır.

Xilinx Vivado® Tasarım Paketi, FPGA tasarımı yapanlara, zamanlama sorununun çözümünü kolaylaştıran benzersiz ve kilit teknolojiler sunmaktadır. Sunulan çözümler genel olarak iki kategori altında toplanabilir: hiyerarşik tasarım ile silikon sanal prototipleme. Hiyerarşik tasarım yaklaşımı, tasarım boyutu ve karmaşıklık sorunlarının ele alınıp çözülmesini sağlar. Ayrıca tasarımın kademeli olarak geliştirilmesine, takıma dayalı tasarımlar oluşturulmasına ve fikri mülkiyetin (Intellectual Property, IP) yeniden kullanılmasına dayalı modelin uygulanmasına imkân tanır. Buna karşın silikon sanal prototipleme, tasarımdaki zamanlamanın, kaynak kullanımın ve sıkışıklığın önceden analiz edilmesine imkân tanıyarak, daha hızlı ve kısa tekrarlamaların elde edilmesini sağlar.

MPSoC uygulamasına özgü platformlar, Xilinx'in Vivado® Tasarım Paketi ve beraberinde

SDSoC'yi kullanarak oluşturulabilir. Platformun oluşturulması, aynı zamanda eski RTL ve IP'nin C kütüphanelerine uyarlanmasını da sağlamaktadır.

SDSoC ortamının geliştirilmesi, C/C++ ASSP benzeri programlama deneyimi sağlayarak; uygulamanın geliştirilmesi, sistem mimarisinin tanımı ve platformun oluşturulması açısından verimliliğin artırılmasına imkân tanır.

Ancak bu tür tasarımlar özellikle gömülü sistem yazılımı yapan tasarımcılar için beraberinde yeni zorluklar getirmektedir.

### Xilinx SDSoC Geliştirme Ortamının Tanıtımı

Zynq SoC'ler ile MPSoC'ler, yazılım ve FPGA donanım mühendislerinden oluşan tasarım ekiplerine doğal olarak uyum sağlayan programlardır. Ancak çok az ya da herhangi bir donanım kaynağı olmayan ekipler, cihazın tüm avantajlarından faydalanabilmek için gerekli RTL (VHDL veya Verilog) uzmanlığına sahip olmadıkları için bir takım zorluklarla karşılaşmaktadır.

Bu zorluğu çözmek ve daha fazla tasarım ekibinin Zynq cihazlarından faydalanmasına imkân tanımak amacıyla, Xilinx yeni bir C/C++ geliştirme ortamı olan SDSoC™'yi sunmuştur.

SDSoC Geliştirme Ortamı, Eclipse'le bütünleşmiş ve kullanımı kolay bir tasarım ortamı ile heterojen Zynq platformunun uygulanması için kapsamlı bir geliştirme platformu ile birlikte, son derece basitleştirilmiş bir ASSP

benzeri C/C++ programlama deneyimi sunmaktadır. Sanayinin ilk C/C++ tam sistem optimizasyonu olan derleyicisine sahip olan SDSoC; sistem düzeyinde profillemeye, programlanabilir mantıksal devrelerde otomatik yazılım hızlandırması, otomatik sistem bağlantı oluşturucusu ve hızlı programlanabilirlik için kütüphaneler sağlar. SDSoC; ARM/NEON işlemcileri kullanan yazılımlar, programlanabilir mantıksal devrelerde yazılım hızlandırıcılar ve eski HDL IP Bloklarının C kütüphaneleri olarak kullanılabilirliğiyle birlikte, heterojen çoklu işlem sistemlerinin bir bütün olarak yaratılmasını sağlar.

### Bilgi, Performansı Yaratır

İyi eğitilmiş mühendisler, bir şirketin sahip olduğu en değerli unsurların başında gelir. Yeni teknolojilerin başarıyla kullanılabilmesi açısından yetkinlik ve ilk elden deneyim edinmek giderek daha önemli olmaya başlamaktadır. Sadece iyi eğitilmiş Ar-Ge mühendisleri, tanınan zaman içerisinde onlardan istenilenleri başarıyla karşılayabilirler. Modern FPGA tasarımıyla ilgili karşılaşılan zorluklarla etkin bir şekilde baş edilebilmesini sağlamak amacıyla ELECTRA IC ve PLC2 ortaklığı, FPGA tasarımının tüm boyutlarını ele alan geniş bir eğitim hizmetleri yelpazesi sunmaktadır. Müşteriler; FPGA mimarileri, VHDL, Verilog, SystemVerilog, UVM Yüksek Düzeyde Sentez, 'C/C++', SoC/MPSoC, SDSoC, Linux/Peta-Linux, Ağ Kurma ve Bağlanabilirlik dâhil olmak üzere, 80'nin üzerinde farklı konu ve alanla ilgili çalıştaylara katılabilirler. Tüm çalıştaylar, müşterilerin özel ihtiyaçlarını karşılamak amacıyla, kurum içi eğitim programları olarak uyarlanıp uygulanabilirler. Detaylı bilgi için: [www.electraic.com](http://www.electraic.com)