

SPONSORED  
BY



 **ELECTRA IC**  
Design & Verification

## İleri Doğrulama Teknikleri Eğitimi

 **4 Hafta**



electraic



www.electraic.com



trainings@electraic.com



+90 216 912 0167

# Eđitim Programı

Hafta	Program
1	SystemVerilog Eđitimi
2	UVM Eđitimi ve Pratik Uygulama
3	VIP Kullanarak Dođrulama Ortamı Kurma
4	Dođrulamada Dokümantasyon Kullanımı Deđerlendirme

İleri Dođrulama Teknikleri Eđitimi, donanım tasarım mühendislerinin gereksinimlerini karşılamak için kompakt bir eđitim programı sunar. Eđitimimiz tasarımcıların, RTL Kodlama, Assertion'lar ve Testcase'ler dahil olmak üzere, genel tasarım ve dođrulama gereksinimleri için SystemVerilog özelliklerinden yararlanarak yeteneklerini geliřtirmelerini sağlayacak şekilde düzenlenmiştir. Ayrıca tasarımcılar SystemVerilog için geliştirilmiş standart bir fonksiyonel dođrulama metodolojisi olan UVM(Universal Verification Methodology) ortamını sıfırdan kurma imkanını elde ederek Sayısal Tasarım ve VHDL Eđitimi'nde gerçeklemiş oldukları tasarımı VIP kullanarak dođrulayacaklardır.

## Neler Öđreneceđim?

Bus-Functional Modeling  
Basic Data Types  
Interfaces  
The SVA Language  
Properties and Assertions  
Clocking Blocks  
Randomization  
Coverage  
Arrays and Queues  
Classes for Transactions  
Class Members and Copying  
Virtual Interfaces  
Extending Classes for Stimulus

TLM and Channels  
Component Hierarchy  
Monitors and Checkers  
Functional Coverage  
Factory and Configuration  
Agent Architecture  
Objections  
Sequences  
Layered Sequences  
Events and Barriers  
UVM Register Layer



electraic



www.electraic.com



trainings@electraic.com



+90 216 912 0167

